

## INTERRUPT CONTROL CIRCUIT

Patent number: JP3097036  
Publication date: 1991-04-23  
Inventor: WADA TETSUO  
Applicant: TOKYO SHIBAURA ELECTRIC CO  
Classification:  
- international: G06F11/267; G06F13/26; G06F11/267; G06F13/20;  
(IPC1-7): G06F9/46; G06F11/22  
- european: G06F11/267N; G06F13/26  
Application number: JP19890234956 19890911  
Priority number(s): JP19890234956 19890911

Also published as:

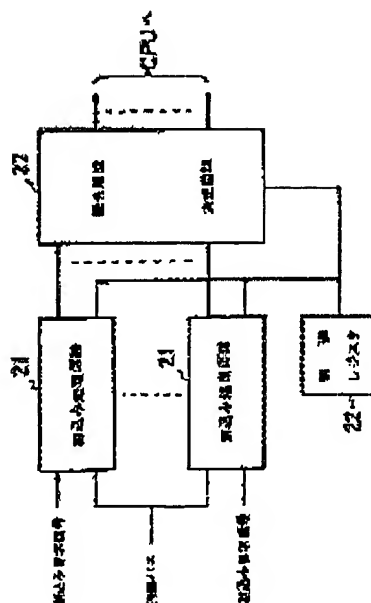
EP0417748 (A2)  
EP0417748 (A3)

[Report a data error here](#)

### Abstract of JP3097036

**PURPOSE:** To facilitate check by determining priority levels of interrupt request signals held in plural request holding means and setting held contents based on the signal on an internal bus at the time of holding check mode information.

**CONSTITUTION:** Plural request holding means 21 are provided which hold respective interrupt request signals from plural interrupt request objects and can set held contents in accordance with the signal on the internal bus. A priority level determining means 22 which determines the priority level of the interrupt request signal held in each request holding means 21, a mode information holding means 22 which holds mode information for distinction between the normal operation mode and the check mode, and a control means which sets held contents of request holding means 21 based on the signal on the internal bus are provided. Thus, held contents of request holding means 21 are freely set independently of interrupt requests from plural interrupt request objects.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-97036

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月23日

G 06 F 9/46  
11/223 2 1  
3 4 0 Z8945-5B  
7343-5B

審査請求 有 請求項の数 2 (全6頁)

⑭ 発明の名称 割込み制御回路

⑮ 特 願 平3-23456

⑯ 出 願 平1(1989)9月11日

⑰ 発 明 者 和 田 哲 郎 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導  
体システム技術センター内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

## 1. 発明の名称

割込み制御回路

## 2. 特許請求の範囲

(1) 複数の割込み要求対象からの各割込み要求信号をそれぞれ保持すると共に、内部バス上の信号に応じて保持内容が設定可能な複数の要求保持手段と、

上記複数の各要求保持手段で保持された割込み要求信号の優先順位を決定する優先順位決定手段と、

通常の動作モード及び検査モードとを区別するためのモード情報を保持するモード情報保持手段と、

上記モード情報保持手段で検査モード情報が保持されている際に、上記要求保持手段の保持内容を上記内部バス上の信号に基づいて設定させる制御手段と

を具備したことを特徴とする割込み制御回路。

(2) 複数の割込み要求対象からの各割込み要

求信号をそれぞれ保持する複数の第1要求保持手段と、

それぞれ内部バス上の信号に応じて保持内容が設定可能な複数の第2要求保持手段と、

上記複数の第1各要求保持手段もしくは複数の第2各要求保持手段で保持された割込み要求信号の優先順位を決定する優先順位決定手段と、

通常の動作モード及び検査モードとを区別するためのモード情報を保持するモード情報保持手段と、

上記モード情報保持手段で検査モード情報が保持されている際には、上記複数の第2要求保持手段のみの動作を可拒にさせる制御手段と

を具備したことを特徴とする割込み制御回路。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明はエッチャ・マイクロコンピュータに内蔵される割込み制御回路に係り、特にその検査が容易に行えるような割込み制御回路に関する。

광고특허특1993-0005771

(19)대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl. 5  
G06F 9/46

(45) 공고일자 1993년06월24일  
(11) 공고번호 특1993-0005771  
(24) 등록일자

|                         |   |           |               |
|-------------------------|---|-----------|---------------|
| (21) 출원번호               | 특1990-0014301   | (65) 공개번호 | 특1991-0006855 |
| (22) 출원일자               | 1990년09월11일   | (43) 공개일자 | 1991년04월30일   |
| (30) 우선권주장              | 특1989-000555 1989년09월11일  | 일본(JP)    |               |
| (73) 특허권자               | 가부시키가이샤 도시바 아오이 죠이치<br>일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지                   |           |               |
| (72) 발명자                | 와다 데츠로<br>일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가<br>이샤 도시바 반도체시스템기술센터내 |           |               |
| (74) 대리인                | 김윤배   |           |               |
| 심사관 : 김연호 (특자공보 제3316호) |   |           |               |

(54) 인터럽트 제어회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

인터럽트 제어회로

[도면의 간단한 설명]

제1도는 본 발명에 따른 인터럽트처리회로의 구체적인 구성을 나타낸 회로도.

제2도는 본 발명을 설명하기 위해 사용된 제어시스템의 기록상태를 나타낸 도면.

제3도는 본 발명에 따른 인터럽트제어회로가 내장된 1칩 마이크로컴퓨터의 구체적인 구성을 나타낸 블록도.

제4도는 상기 제3도에 나타난 1칩 마이크로컴퓨터중 본 발명에 따른 인터럽트제어회로만을 추출해서 나타낸 블록도이다.

\* 도면의 주요부분에 대한 부호의 설명

11 : CPU(중앙연산처리회로) 12 : 인터럽트제어회로(IRC)  
13 : 직렬입출력회로(SIO) 14 : 아날로그/디지털변환회로(A/D)  
15 : 타이머 16 : 병렬입출력회로(PIO)  
17 : 랜덤-액세스-메모리(RAM) 18 : 리드-온리-메모리(ROM)  
19 : 내부버스 21 : 인터럽트처리회로  
22 : 제어레지스터 23 : 우선순위결정회로

31,34,39,42 : 래치회로

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 1칩 마이크로컴퓨터에 내장된 인터럽트제어회로에 관한 것으로, 특히 그 검사를 용이하게 수행할 수 있도록 된 인터럽트제어회로에 관한 것이다.

[종래의 기술 및 그 문제점]

마이크로컴퓨터종의 인터럽트제어회로는 복수의 인터럽트요구에 대해 우선순위를 결정해서 가장 우선순위가 높은 인터럽트요구를 CPU에 대해 출력하게 되는 바, 종래 이러한 종류의 인터럽트제어회로에서는 복수개의 인터럽트요구래치가 설치되어 인터럽트요구대상, 애컨대 직렬 또는 병렬 I/O(입출력회로), A/D변환회로, 타이머 등으로부터의 인터럽트요구신호를 기초로 각 래치를 세트시키고, CPU에 대한 인터럽트처리의 종료후에는 인터럽트요구크리어신호에 의해 각 래치를 크리어하도록 하였다.

그런데, 이와 같이 인터럽트제어회로가 단독으로 LSI화 되어 있는 경우에는 인터럽트요구신호를 LSI단자로부터 입력할 수 있기 때문에 인터럽트제어회로의 검사시에 외부로부터 임의의 검사패턴을 인가할 수 있고, 상기 각 인터럽트요구래치를 임의의 상태로 설정할 수 있게 된다.

그러나, 상기 인터럽트제어회로가 1칩 마이크로컴퓨터내에 내장되어 있는 경우에는 인터럽트요구신호는 동일한 LSI내의 입출력회로로부터 직접 인터럽트제어회로에 입력되고, 외부단자로부터는 입력시킬 수 없게됨에 따라 특정의 인터럽트요구래치를 세트하기 위해서는 그 인터럽트요구래치가 접속되어 있는 입출력회로를 적절하게 설정할 필요가 있는데, 이는 아래에 나타낸 바와 같이 인터럽트제어회로의 우선순위 결정수단의 검사를 수행할 경우 큰 장애로 되고 있다.

① 인터럽트제어회로를 독립적으로 검사할 수 없다.

② 다수의 조합을 검사하기 위한 검사입력패턴수가 길고 크게 되어 검사시간이 길어지게 된다.

③ 검사입력패턴의 작성이 용이하게 될 수 없다.

특히, ② 및 ③은 입출력회로가 고성능화되면서 인터럽트요구신호가 타이머를 포함하고 있는 경우에는 타이머로부터 소정주기 신호가 출력되고 있기 때문에 특히 현저해지게 된다.

이와 같이 종래의 인터럽트제어회로가 1칩 마이크로컴퓨터에 내장된 경우, 특히 우선순위결정기능의 검사에 필요로 되는 시간이 대단히 길어지게 되어 검사를 용이하게 수행할 수 없다는 결점이 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안해서 발명된 것으로, 용이하게 검사를 수행할 수 있도록 된 인터럽트제어회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 복수의 인터럽트요구대상으로부터의 각 인터럽트요구신호를 각각 유지함과 더불어 내부버스상의 신호에 따라 유지내용을 설정할 수 있는 복수의 요구유지수단과, 이 복수의 각 요구유지수단에서 유지된 인터럽트요구신호의 우선순위를 결정하는 우선순위결정수단, 동상의 동작모드 및 검사모드를 구별하기 위한 모드정보를 유지하는 모드정보유지수단 및, 상기 모드정보유지수단에서 검사모드정보가 유지될 경우 상기 요구유지수단의 유지내용을 상기 내부버스상의 신호들 기초로 설정하는 제어수단을 구비하여 구성된 것을 특징으로 한다.

또한, 본 발명은 복수의 인터럽트요구대상으로부터 각 인터럽트요구신호를 각각 유지하는 복수의 제1요구유지수단과, 각각 내부버스상의 신호에 따라 유지내용을 설정할 수 있는 복수의 제2요구유지수단, 상기 복수의 제1요구유지수단 또는 복수의 제2요구유지수단에서 유지된 인터럽트요구신호의 우선순위를 결정하는 우선순위결정수단, 동상의 동작모드 및 검사모드를 구별하기 위한 모드정보를 유지하는 모드정보유지수단 및, 상기 모드정보유지수단에서 검사모드정보가 유지되어 있는 경우에는 상기 복수의 제2요구유지수단만이 동작할 수 있도록 하는 제어수단을 구비하여 구성된 것을 특징으로 한다.

[작용]

상기와 같이 구성된 본 발명은, 검사모드의 경우 내부버스상의 신호에 따라서 복수의 요구유지수단의 유지내용이 설정됨으로써 복수의 인터럽트요구대상으로부터의 인터럽트요구에 의하지 않고서 자유롭게 요구유지수단의 유지내용을 설정할 수 있게 된다.

또, 본 발명의 검사모드의 경우 복수의 제2요구유지수단만의 동작을 가능하게 하여 내부버스상의 신호에 따라 이들 복수의 제2요구유지수단의 유지내용이 설정됨으로써 복수의 인터럽트요구대상으로부터의 인터럽트요구에 의하지 않고서 자유롭게 제2요구유지수단의 유지내용을 설정할 수 있게 된다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 1실시예를 상세히 설명한다.

제3도는 본 발명에 따른 인터럽트제어회로가 내장된 1칩 마이크로컴퓨터의 전체적인 구성을 나타낸 블록도로서, 도면중 참조부호 11은 CPU(중앙연산처리회로), 12는 본 발명의 다른 인터럽트제어회로(IRC), 13은 직렬입출력회로(SIO), 14는 아날로그/디지털변환회로(A/D), 15는 타이머, 16은 병렬입출력회로(PIO), 17은 랜덤·액세스·메모리(RAM), 18은 리드·온리·메모리(ROM)인 바, 이들은 내부버스(19)에 의해 서로 접속되어 있다.

또한, 각각이 상기 CPU(11)에 대한 인터럽트요구대상인 상기 직렬입출력회로(13)와, 아날로그/디지털변환회로(14), 타이머(15) 및 병렬입출력회로(16)로부터 출력되는 인터럽트요구신호는 전용의 인터럽트신호선을 매개로 상기 인터럽트제어회로(12)에 입력되는데, 이와같이 인터럽트요구신호가 입력되면, 인터럽트제어회로(12)는 미리 각 인터럽트요구대상에 인가된 인터럽트의 우선순위 및 인터럽트 우선레벨을 기초로 각 인터럽트 요구신호의 우선순위를 결정해서 최우선의 인터럽트요구신호를 CPU(11)에 전송한다.

제4도는 상기 제3도에 나타난 1칩 마이크로컴퓨터중 본 발명에 따른 인터럽트제어회로(12 : IRC)만을 추출해서 나타낸 블록도로서, 상기 각 인터럽트요구대상으로부터 출력되는 인터럽트요구신호는 각 요인마다 설치된 복수개의 각 인터럽트처리회로(21, —)에 공급되고, 이들 각 인터럽트처리회로(21, —)에는 상기 내부버스(19)상의 신호가 공급되며, 또 상기 각 인터럽트처리회로(21, —)에는 제어레지스터(22)에 기억되어 있는 각종 신호가 병렬로 공급된다. 상기 각 인터럽트처리회로(21, —)는 각 인터럽트요구대상으로부터의 인터럽트요구신호 또는 내부버스(19)상의 신호를 전체적으로 내부레치에서 래치하고, 소정의 처리를 실시한 후 우선순위결정회로(23)에 출력한다. 상기 우선순위결정회로(23)에도 상기 제어레지스터(23)에 기억되어 있는 각종 신호가 공급되고, 이 우선순위결정회로(23)는 상기 각 인터럽트처리회로(21, —)의 출력 및 상기 제어레지스터(22)로부터의 출력신호를 기초로 각종 인터럽트요구신호의 우선순위를 결정해서 최우선의 인터럽트요구신호를 결정하여 상기 CPU(11)에 전송한다.

제1도는 상기 각 인터럽트처리회로(21, —) 각각의 구체적인 구성을 나타낸 회로도로서, 이들 각 인터럽트처리회로(21, —)는 모두 동일한 구성이기 때문에 여기에서는 하나의 회로에 대해서만 설명한다. 상기 내부버스(19)는 복수비트로 구성되어 있는데, 그 최하위비트인 D0의 신호는 1비트 래치회로(31)의 데이터입력단(D)에 공급되고, 또 이 래치회로(31)의 제어입력단(G)에는 기록제어신호(WREQ/MASK)가 공급되며, 더욱이 이 래치회로(31)의 크리어입력단

(C)

에는 AND게이트회로(32)의 출력이 공급된다. 그리고 상기 AND게이트회로(32)에는 모드신호(MODE)가 인버터(233)를 매개로 공급됨과 더불어 시스템·리세트신호(C)

**RESET**

)가 공급된다.

한편, 상기 각 인터럽트요구대상으로부터 출력되는 인터럽트요구신호(IREQ)는 1비트 래치회로(34)의 제어입력단(G)에 공급되고, 이 래치회로(34)의 데이터입력단(D)은 "1"레벨인 전원전압에 접속되어 있으며, 또 이 래치회로(34)의 크리어입력단

(C)

에는 AND게이트회로(35)의 출력이 공급된다. 그리고 AND게이트회로(35)에는 모드신호(MODE)와, 시스템·리세

트신호(

## RESET

) 및 NAND게이트회로(36)의 출력이 공급되는데, 여기서 상기 NAND게이트회로(36)에는 인버터(37)를 매개로 상기 내부버스(19)의 최하위비트인 DB0의 신호가 공급됨과 더불어 기록제어신호(WREQ/MASK)가 공급된다.

그리고 상기 2개의 래치회로(31,34)의 출력은 함께 OR게이트회로(38)에 공급되고, 이 OR게이트회로(38)의 출력은 타이밍설정용 1비트 래치회로(39)의 데이터입력단(D)에 공급됨과 더불어 전송게이트(40)를 매개로 내부버스(19)의 최하위비트인 DB0로 출력된다. 또 이 래치회로(39)의 제어입력단(G)에는 타이밍신호발생회로(도시되지 않았음)로부터 출력되는 타이밍신호(TMG)가 공급되고, 상기 래치회로(39)의 출력(Q)은 AND게이트회로(41)에 공급된다.

또 1개의 1비트 래치회로(42)는 인터럽트요구신호를 마스크하기 위한 것으로, 상기 내부버스(19)의 최하위 비트인 DB0보다도 1자리 상위인 DB1의 신호가 이 래치회로(42)의 데이터입력단(D)에 공급됨과 더불어 제어입력단(G)에는 기록제어신호(WREQ/MASK)가 공급되고, 그리고 이 래치회로(42)의 출력(

$\bar{Q}$

)은 상기 AND게이트회로(41)에 공급됨과 더불어 출력(Q)은 전송게이트(43)를 매개로 내부버스(19)의 DB1으로 출력된다. 또 상기 양 전송게이트(40, 43) 각각의 동작은 독출제어신호(RSTAT)에 의해 제어된다.

제2도는 상기 제4도에 나타난 회로내중 제어레지스터(22)의 기억상태를 나타낸 도면으로, 이 제어레지스터(22)에는 모드신호(MODE), 인터럽트 우선 레벨수, 독출요구를 나타내는 신호(REQ), 인터럽트마스크를 나타내는 신호(MASK)등의 각종 신호가 기록된다. 여기서 이 제어레지스터(22)의 내용을 독출할 경우 사용되는 신호가 RSTAT이고, 기록신호가 WREQ/MASK인 바, 이들 신호는 상기 CPU(11; 제3도에 도시되어 있음)에 의한 소프트웨어처리에 의해 설정된다. 또 인터럽트우선레벨수는 상기 우선순위결정회로(23)에 공급되어 인터럽트요구신호와 우선순위를 결정할 경우 사용된다.

다음에 상기와 같이 구성된 회로의 동작을 설명한다.

먼저, 제어레지스터(22)의 모드신호(MODE)의 레벨은 CPU(11)에 의한 소프트웨어처리에 의해 동작의 동작모드 시에는 "1"레벨로 각각 설정되고, 검사모드시에는 "0"레벨로 각각 설정되는 것으로 한다. 먼저 시스템·리세트신호(

## RESET

)가 "0"레벨로 떨어짐으로써 AND게이트회로(32,35)의 출력이 함께 "0"레벨로 되어 래치회로(31,34)가 함께 크리어된 다음 시스템·리세트신호(RESET)는 "1"레벨로 상승하게 된다.

동상의 동작모드시에는 인터럽트요구신호(IREQ)가 입력되는 것에 의해 래치회로(34)가 데이터입력단의 "1"레벨을 래치하여 그 출력(Q)이 "1"레벨로 되고, 이에 따라 OR 게이트회로(38)의 출력이 "1"레벨로 된다. 그 후 타이밍신호발생회로(도시하지 않았음)로부터 타이밍신호(TMG)가 출력됨으로써 래치회로(39)의 출력(Q)이 "1"레벨로 되고, 이때 마스크용 래치회로(42)의 출력(

$\bar{Q}$

)이 "1"레벨의 비마스크상태이면, AND게이트회로(41)의 출력도 "1"레벨로 되어 상기 우선순위 결정회로(23)에 대해 인터럽트요구신호(REQ)가 전송되게 된다.

그 후, 우선순위가 결정되어 그 인터럽트처리가 종료된 후, CPU(11)로부터 내부버스(19)의 DB0에 "0"레벨이 출력됨과 더불어 제어레지스터(22)에 기록제어신호(WREQ/MASK)가 인가된다. 이에 따라 인버터(37)의 출력이 "1"레벨, NAND게이트회로(36)의 출력이 "0"레벨로 되고, 이어 AND게이트회로(35)의 출력이 "0"레벨로 되어 래치회로(34)가 크리어된다.

검사모드시에는 제어레지스터(22)의 모드신호(MODE)가 CPU(11)에 의한 소프트웨어처리에 의해 "0"레벨로 기록되고, 이때 AND게이트회로(35)의 출력이 "0"레벨로 되어 래치회로(34)는 크리어상태로 설정된다. 이에 대해 AND게이트회로(32)의 출력은 "1"레벨로 되어 래치회로(31)의 크리어상태가 해제된다. 따라서 이 래치회로(31)는 내부버스(19)의 DB0의 신호를 래치하고, 그 출력(Q)은 OR게이트회로(38)를 매개로 래치회로(39)에 공급된다. 이후 타이밍신호발생회로(도시되지 않았음)로부터 타이밍신호(TMG)가 출력됨으로써 래치회로(39)의 출력(Q)이 데이터입력단의 신호에 따라 설정되고, 또 상기 및 마찬가지로 마스크용 래치회로(42)의 출력(Q)

Q

에 따라 마스크 또는 비마스크상태에서 AND게이트회로(41)로부터 상기 우선순위 결정회로(23)에 대해 인터럽트요구신호(REQ)가 전송된다.

또, 마스크용 래치회로(42)를 마스크상태로 설정할 경우에는 내부버스(19)의 DB1에 "1"레벨의 신호가 인가되면서 제어레지스터(22)의 기록제어신호(WREQ/MASK)가 인가됨으로써 마스크가 "1"레벨로 된다.

또 상기 래치회로(31, 34, 42)의 각 출력은 내부버스(19)의 DB0 및 DB1으로 각각 독출할 수 있게 되는데, 이들 신호의 독출을 수행할 경우에는 제어레지스터(22)에 대해 "1"레벨의 독출제어신호(RSTAT)가 인가됨에 따라 전송게이터(40, 43)가 함께 동작상태로 되어 래치회로(31) 또는 래치회로(34)의 출력(Q)이 내부버스(19)의 DB0로 독출되고, 래치회로(42)의 출력(Q)이 내부버스(19)의 DB1으로 각각 독출된다.

이상과 같이 상기 실시예에 의하면, 검사모드일 경우 인터럽트요구의 세트, 크리어가 소프트웨어에 의해 실행될 수 있게 된다.

여기서 예컨대, 인터럽트우선레벨수가 7레벨이면서 전체요인수가 30인 경우, 종래에는 우선순위결정회로(23)의 검사를 수행하기 위해서는 15만 단계의 검사패턴이 필요하였지만, 이에 대해 상기 실시예 회로에 의하면, 검사패턴이 종래의 1/10인 1만 5천단계로 감소하게 된다. 이 결과 인터럽트제어회로자체의 검사에 필요한 시간은 종래의 1/10로 단축될 수 있고, 또 검사패턴을 작성하는데 필요한 시간도 종래의 1/10로 되어 종래에 비해 용이하게 검사를 수행할 수 있게 된다.

#### [발명의 효과]

상기한 바와 같이 본 발명에 의하면, 용이하게 검사를 수행할 수 있는 인터럽트제어회로를 제공할 수 있게된다.

#### (57) 청구의 범위

##### 청구항1

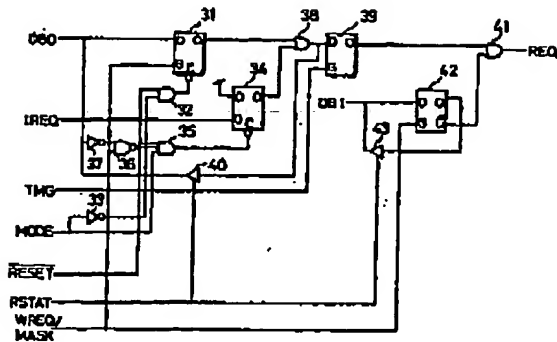
복수의 인터럽트요구대상으로부터의 각 인터럽트요구신호를 각각 유지함과 더불어 내부버스상의 신호에 따라 유지내용을 설정할 수 있는 복수의 요구유지수단(21)과, 이 복수의 각 요구유지수단(21)에서 유지된 인터럽트요구신호의 우선순위를 결정하는 우선순위결정수단(23), 통상의 동작모드 및 검사모드를 구별하기 위한 모드정보를 유지하는 모드정보유지수단(22) 및, 상기 모드정보유지수단(22)에서 검사모드정보가 유지될 경우 상기 요구유지수단의 유지내용을 상기 내부버스상의 신호를 기초로 설정하는 제어수단(21)을 구비하여 구성된 것을 특징으로 하는 인터럽트제어회로.

##### 청구항2

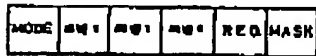
복수의 인터럽트요구대상으로부터 각 인터럽트요구신호를 각각 유지하는 복수의 제1요구유지수단(34)과, 각각 내부버스상의 신호에 따라 유지내용을 설정할 수 있도록 된 복수의 제2요구유지수단(31), 상기 복수의 제1요구유지수단(34) 또는 복수의 제2요구유지수단(34)에서 유지된 인터럽트요구신호의 우선순위를 결정하는 우선순위결정수단(23), 통상의 동작모드 및 검사모드를 구별하기 위한 모드정보를 유지하는 모드정보유지수단(21) 및, 상기 모드정보유지수단(21)에서 검사모드정보가 유지되어 있는 경우에는 상기 복수의 제2요구유지수단(31)만이 동작할 수 있도록 제어하는 제어수단(32, 33, 35)을 구비하여 구성된 것을 특징으로 하는 인터럽트제어회로.

#### 도면

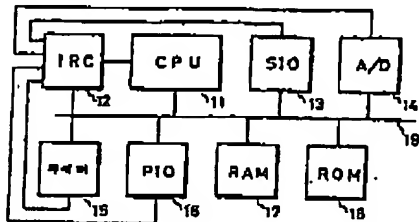
##### 도면1



도면2



도면3



도면4

